



ADAMS & WILKS
ATTORNEYS AND COUNSELORS AT LAW
17 BATTERY PLACE
SUITE 1231
NEW YORK, NEW YORK 10004

BRUCE L. ADAMS
VAN C. WILKS*

JOHN R. BENEFIEL*
FRANCO S. DE LIGUORI*
TAKESHI NISHIDA

*NOT ADMITTED IN NEW YORK
*REGISTERED PATENT AGENT

RIGGS T. STEWART
(1924-1993)

TELEPHONE
(212) 809-3700

FACSIMILE
(212) 809-3704

November 11, 2005

COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, VA 22313-1450

Re: Patent Application of Hiroki WAKE
Serial No. 10/761,954
Examiner: Tan Nguyen
Docket No. S004-5197

Filing Date: January 21, 2004
Group Art Unit: 2827

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

1. Japanese Patent Appln. No. 2003-013801 filed January 22, 2003

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

Respectfully submitted,

ADAMS & WILKS
Attorneys for Applicant(s)

By: 

Bruce L. Adams
Reg. No. 25,386

MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER FOR PATENTS, P.O. Box 1450, Alexandria, VA 22313-1450, on the date indicated below.

Debra Buonincontri

Name


Signature

NOVEMBER 11, 2005

Date

PART B - FEE(S) TRANSMITTAL
PAGE 2

ADDITIONAL ATTACHMENTS

TRANSMITTAL LETTER (WITH MAILING CERTIFICATE)
and CERTIFIED COPY OF JAPANESE PATENT APPLN.
NO. 2003-013801

BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2003年 1月22日

出願番号
Application Number:

特願2003-013801

[ST. 10/C]:

[JP2003-013801]

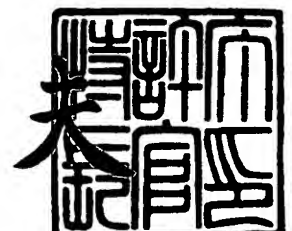
願 人
Applicant(s):

セイコーインスツルメンツ株式会社

2003年12月18日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 02000982

【提出日】 平成15年 1月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 和気 宏樹

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 動作モードを切り換える為の電圧が印加される外部端子と、前記外部端子と接地電位間に接続された保護トランジスタと、前記外部端子の電圧を検出し、所定の電圧以上であれば第 1 の動作モードから第 2 の動作モードに切り換える信号を出力する電圧検出回路と、を有し、前記保護トランジスタは、ドレイン領域がゲート電極で囲まれていることを特徴とする半導体記憶装置。

【請求項 2】 前記電圧検出回路は、前記外部端子と接地電位の間に直列に接続された複数の MOS トランジスタを有し、前記直列に接続された MOS トランジスタ間の接続点から前記信号を出力するものであり、前記外部端子に接続された前記 MOS トランジスタは高耐圧 MOS トランジスタであることを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、電氣的に書き換え可能な不揮発性半導体メモリ集積回路（以下、EEPROMとする）に関する。また、通常動作モードとは異なるテスト用動作モードを備えており、所定の外部端子に通常動作モードで推奨する電圧以上の電圧を印加することでテスト用動作モードに切り替えることのできる回路を備えた半導体記憶装置に関する。

【 0 0 0 2 】

【従来技術の説明】

半導体記憶装置において、外部端子に高電圧を印加することによってテスト用動作モードに切り替わる機能を有するものが存在する。ここで示した高電圧とは、通常動作モードで印加する範囲の電源電圧より高い電圧を示しており、たとえば該 IC の最大動作電源電圧が 5 V であるならば、5 V 超の電圧を示しており一般的には 1 0 V 程度の電圧を印加するものである。

【0 0 0 3】

該機能を実現するために、高電圧を検出するための電圧検出回路を内蔵している。前述の例においては該電圧検出回路の検出電圧を 5 V 超 1 0 V 未満（一般的には 9 V）となるよう設定することで所定の外部端子に 1 0 V の電圧を印加することで電圧検出回路が検出信号を出力しテスト用動作モードに切り替えることができる。検出電圧は最大動作電源電圧の仕様、使用する半導体プロセスのデバイス特性により決定するため前述の例以外の電圧条件となることも考えられる。

【0 0 0 4】

高電圧を印加する外部端子は、テスト用動作モードを検出することを唯一の目的とし他の機能を有しない専用の端子である。また、該外部端子は電源電圧印加端子であり、電源電圧印加の目的とテスト用動作モードに切り替えるための電圧検出機能を兼用する端子とすることも可能である。また、該外部端子は入力端子または出力端子または入出力端子であり、該端子に割り当てられた機能とテスト用動作モードに切り替えるための電圧検出機能を兼用する端子とすることも可能である（例えば、特許文献 1 参照。）。

【0 0 0 5】**【特許文献 1】**

特開 2 0 0 2 - 1 5 5 9 9 号公報 （第 2 - 4 頁、第 1 図）

【0 0 0 6】**【発明が解決しようとする課題】**

従来のテスト用動作モード検出のため電圧検出回路は以下のような問題がある。

【0 0 0 7】

図 2 はテスト用動作モード検出機能を有した外部端子 2 1、テスト用動作モード用電圧検出回路 2 3、静電気的なノイズが印加した時に I C を保護するための保護トランジスタ 2 2 を示したブロック図である。

【0 0 0 8】

図 3 は一般的な従来の電圧検出回路を示す回路図である。テスト用動作モードに切り替えるために高電圧を印加するパッド 3 1、n 個の N M O S トランジスタ

3 2、抵抗 3 3、インバータ 3 4 から構成されている。パッド 3 1 とグランド電圧との間に直列に NMOS トランジスタ 3 2 と抵抗 3 3 が接続されており、抵抗 3 3 のハイ電圧側がインバータ 3 4 の入力となっている。この回路ではパッド 3 1 に直列接続された n 段分の NMOS トランジスタ 3 2 の閾値電圧の合計 ($n \times V_{th}$) よりも高い電圧が印加されるとインバータ 3 4 が反転し、出力は H レベルから L レベルに変化しテスト用動作モードに切り替わる。

【0 0 0 9】

図 2 に示した保護トランジスタ 2 2 は、一般的に NMOS でありゲート電圧とソース電圧をグランド、ドレイン電圧をパッドに接続したオフトランジスタである。該保護トランジスタの MOS 構造は電圧検出回路で用いた NMOS トランジスタよりもオフトランジスタのドレインブレークダウン耐圧が低い MOS 構造のトランジスタを用いることによって、保護すべき内部トランジスタより先に保護トランジスタでブレークダウンし内部回路を保護する機能を有している。

【0 0 1 0】

該保護トランジスタのドレイン電圧は、前述のとおり電圧検出回路のパッドに接続された NMOS のドレインにも接続されている。

【0 0 1 1】

このため保護トランジスタのドレインブレークダウン耐圧は、電圧検出回路の検出電圧よりも低い電圧に設定する必要がある。仮に検出電圧を保護トランジスタのドレインブレークダウン耐圧より高く設定した場合、該ブレークダウン耐圧以上の電圧を印加しても保護トランジスタでブレークダウンを起こし、ブレークダウン耐圧以上の電圧はかからないため電圧検出回路は検出することができず、それはすなわちテスト用動作モードに切り替えることができないことを示している。

【0 0 1 2】

図 4 は、パッドに印加する電圧と電圧検出回路の直列に接続した NMOS トランジスタに流れる電流の関係を示したグラフである。

【0 0 1 3】

パッドに電圧を印加する電圧を高くすると電圧に応じた電流が電圧検出回路に

流れ、検出電圧' ($n \times V_{th}$) を印加すると前述のとおりテスト用動作モードに切り替わる。検出電圧より低い電圧では検出電流より少ない電流が電圧検出回路には流れる。

【 0 0 1 4 】

通常動作モードの電源電圧範囲において、該電流は端子のリーク電流となり一般的に該リーク電流は E E P R O M の I C 仕様として一定電流値以下にする必要がある。特に低温時においてリーク電流は大きくなることから通常動作モードでの電源電圧範囲におけるリーク電流は製品として重要な要素となるものである。

【 0 0 1 5 】

さらに検出電圧を高くすると最大動作電圧におけるリーク電流は少なくなり、検出電圧を低くすると最大動作電圧におけるリーク電流は多くなる。つまりリーク電流を少なくするためにはできる限り検出電圧を高く設定することが不可欠である。

【 0 0 1 6 】

該電圧検出回路の設定可能な検出電圧の上限は、前記保護用オフトランジスタのドレインブレークダウン耐圧によって制限されるため該ドレインブレークダウン耐圧を高くする必要がある。

【 0 0 1 7 】

しかし、該ドレインブレークダウン耐圧は M O S のゲート酸化膜厚やドレインの拡散濃度、フィールドの濃度をはじめとする半導体プロセスによって決定されるものであり、既に形成された半導体プロセスを使用する場合において容易にドレインブレークダウン耐圧のみを高くすることは不可能である。

【 0 0 1 8 】

リーク電流が多くなる問題は、動作温度範囲が広く、特に低温で動作可能な I C において問題となる場合が多い。

【 0 0 1 9 】

また、通常動作モードでの電源電圧範囲が広く、特に最大動作電圧の高い I C において問題になる場合が多い。

【 0 0 2 0 】

また、保護トランジスタとして使用するオフトランジスタのドレインブレークダウン耐圧が低い場合、特に問題となる場合が多い。

【0 0 2 1】

また、電圧検出回路を構成するNMOSトランジスタのサブスレッショルド電流が多い場合、特に問題になることが多い。

【0 0 2 2】

【課題を解決するための手段】

そこで本発明は、上記問題を解決するために以下の手段を用いた。

本願発明にかかる半導体記憶装置は、テスト用動作モードに切り換える為の電圧が印加される外部端子と、前記外部端子と接地電位間に接続された保護トランジスタと、前記外部端子の電圧を検出し、テスト用動作モードに切り換える信号を出力する電圧検出回路と、を有し、前記保護トランジスタは、ドレイン領域がゲート電極で囲まれていることを特徴とする。

【0 0 2 3】

さらに、前記電圧検出回路は、前記外部端子と接地電位の間に直列に接続された複数のMOSトランジスタを有し、前記直列に接続されたMOSトランジスタ間の接続点から前記信号を出力するものであり、前記外部端子に接続された前記MOSトランジスタは高耐圧MOSトランジスタであることを特徴とする。

【0 0 2 4】

【本発明の実施の形態】

本発明の実施の形態を説明する。図1は、ドレインブレークダウン耐圧を高くすることを目的とした保護トランジスタの平面図である。

【0 0 2 5】

図1に記したトランジスタは電氣的にメタル電極12に接続されたゲート電極13により電氣的に分離されたドレイン領域10とソース領域11にそれぞれコンタクト14を配置し、ドレイン領域10とソース領域11を、それぞれコンタクト14を介してメタル電極12に接続して所望の電気特性を得るものである。

【0 0 2 6】

このトランジスタは外部端子に直接接続されているため、外部からのノイズが

直接印加されノイズ耐性に優れた特性を有する。

【0027】

本発明ではドレイン領域10をゲート電極13で囲んだ構成とした。本構成を用いることによりドレイン領域10と素子分離領域との電氣的な分離は、チャネル長方向端部のゲート電極13の電界効果を有するジャンクションダイオードで保たれているため、ノイズや静電気の電流経路の均一性が得られている。これによりドレインブレイクダウン耐圧を向上させることができる。

【0028】

テスト用動作モードの切り替えを用とした電圧検出回路が備えられた外部端子の保護トランジスタに本発明によるトランジスタレイアウトを採用することにより、該電圧検出回路の検出電圧を高く設定することができ、延いては端子リーク電流を低減させた回路を実現することができるものである。

【0029】

本発明は、保護トランジスタのゲート領域となるレイアウトを変更する簡易な修正により、結果として端子リーク電流を容易な手段にて実現することが可能である。半導体プロセスのプロセスバイアスを一切変更することがなく目的を達成できる。

【0030】

図5に、本発明を適用した実施例を示す。図5はテスト用動作モードに切り替えるための高電圧を印加する外部端子51、該外部端子51に接続した静電氣的なノイズが印加した時ICを保護するための保護トランジスタ52、テスト用動作モードに切り替えるための高電圧を検出するための電圧検出回路53で構成している。

【0031】

電圧検出回路53は、外部端子にNMOSトランジスタ54のドレインが接続されており、該NMOSトランジスタ54のソースには飽和結線されたPMOSトランジスタ55が接続されており、該PMOSトランジスタ55のドレインにはPMOSトランジスタ56が接続されており、該PMOSトランジスタ56のゲート電圧はグランドである。該PMOSトランジスタ56のドレインはNMO

Sデプレッショントランジスタ 5 7 が接続され該 NMOS デプレッショントランジスタ 5 7 のゲート電圧はグランドであり、一定電流 5 9 を流すことができる。PMOS トランジスタ 5 6 は、NMOS トランジスタ 5 4 と PMOS トランジスタ 5 5 とによって発生する電圧分がバックゲート電圧となり PMOS トランジスタ 5 6 の閾値電圧は高くなる。外部端子にバックゲート効果分を考慮した PMOS トランジスタ 5 6 の閾値以上の電圧を印加すると PMOS トランジスタ 5 6 にオン電流が流れる。該オン電流が前記一定電流 5 9 よりも大きくなると、インバータ 5 8 の出力は H レベルから L レベルに変化し、テスト用動作モードに切り替わる。

【0 0 3 2】

NMOS トランジスタ 5 4 は高耐圧 MOS で構成されており、該トランジスタのドレインジャンクションブレークダウン耐圧は一般的に 2 0 V 程度と高い。

【0 0 3 3】

前記保護トランジスタ 5 2 は低耐圧 MOS で構成されており、一般的には該トランジスタのドレインジャンクションブレークダウン耐圧は 1 2 V 程度である。本発明によるレイアウト構成を使用した保護トランジスタを用いることによりドレインジャンクションブレークダウン耐圧は 1 V あるいは 3 V 程度向上させることができる。

【0 0 3 4】

【発明の効果】

以上、本願発明によれば、テスト動作モードでの端子リーク電流を低減した半導体記憶装置の提供が可能となる。

【図面の簡単な説明】

【図 1】

本発明の保護トランジスタ平面図を示す図である。

【図 2】

本発明の構成するブロック図を示す図である。

【図 3】

従来の電圧検出回路を示す図である。

。【図 4】

電圧検出回路の特性グラフを示す図である。

【図 5】

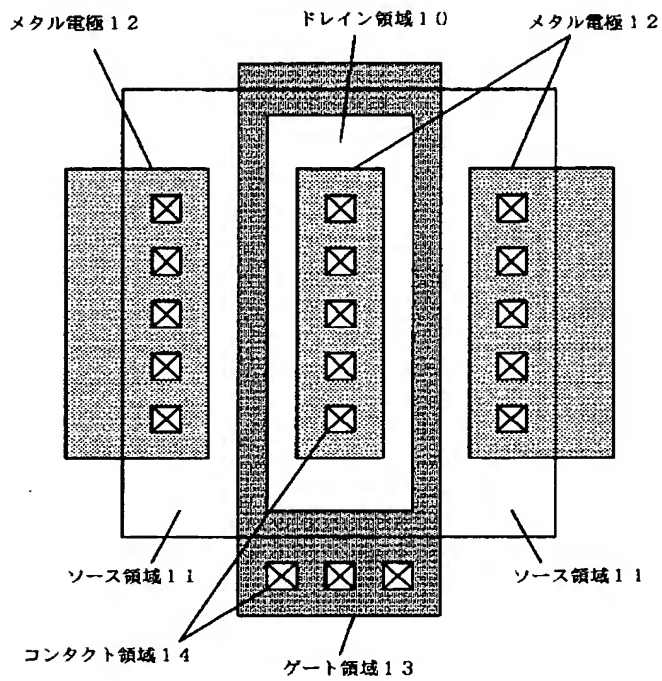
本発明の実施の形態 1 の構成を示す図である。

【符号の説明】

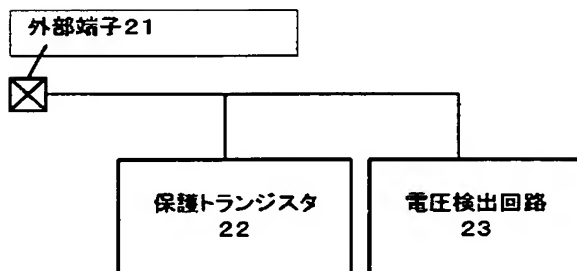
- 1 1 ソース領域
- 1 2 メタル電極
- 1 3 ゲート領域
- 1 4 コンタクト領域

【書類名】 図面

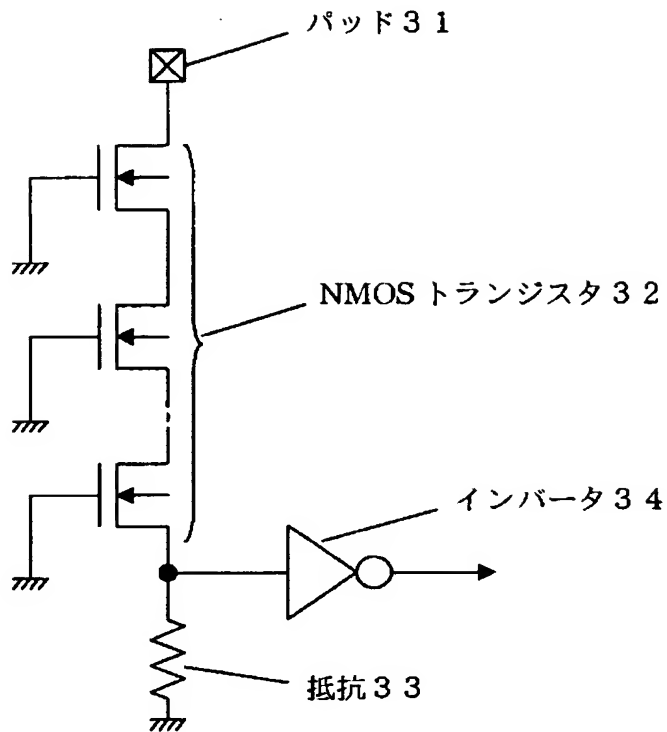
【図 1】



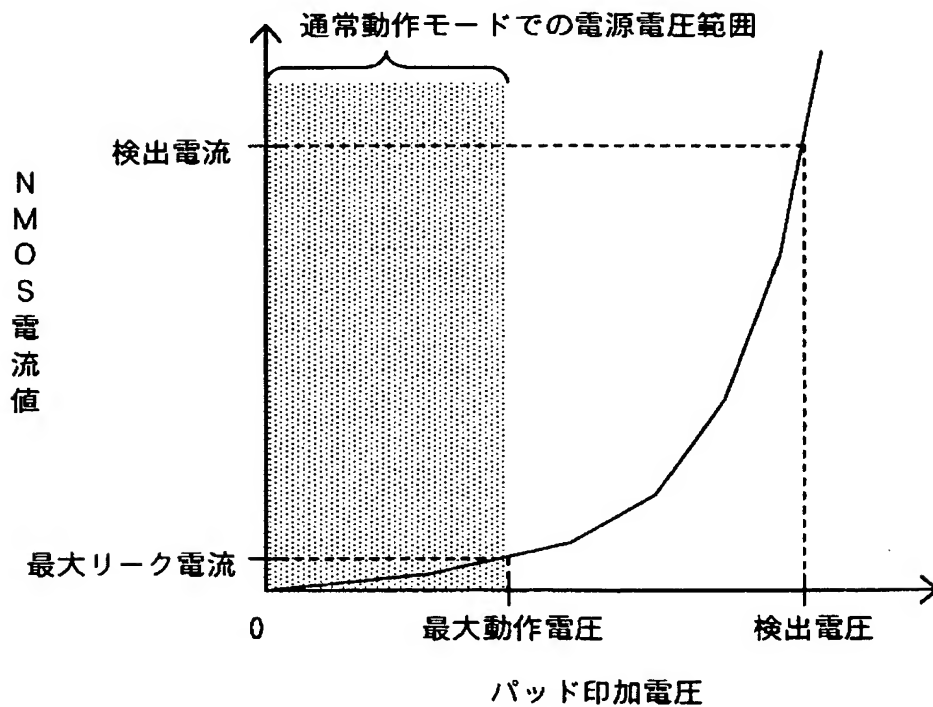
【図 2】



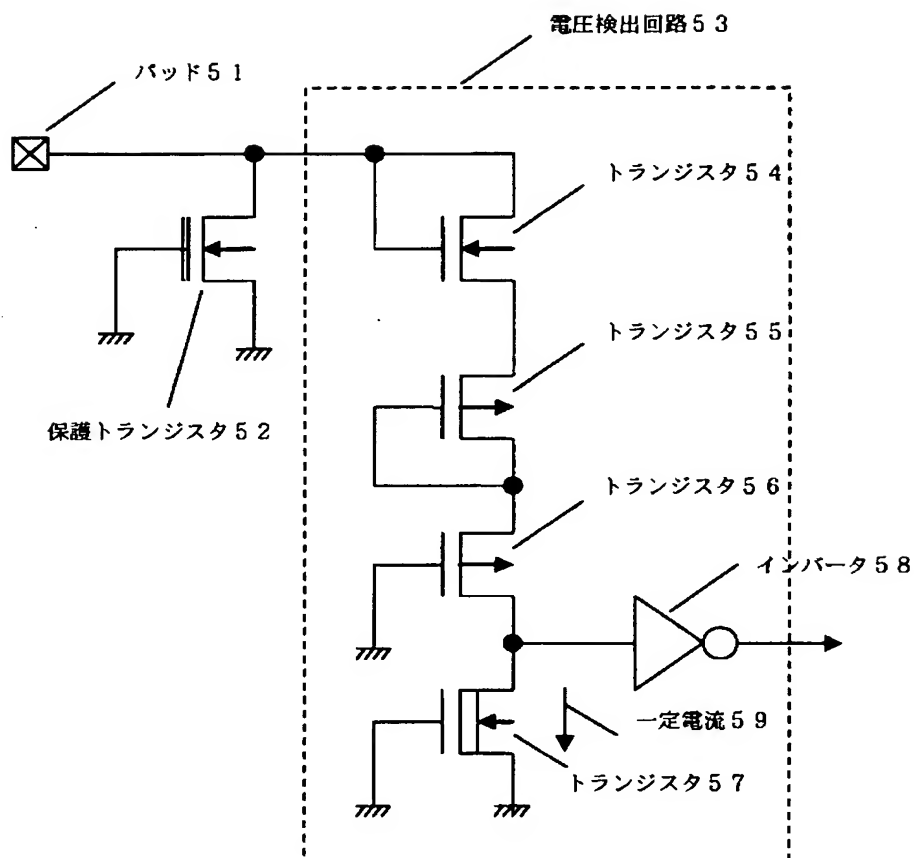
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 テスト動作モードでの端子リーク電流を低減した半導体記憶装置の提供。

【解決手段】 動作モードでの端子リーク電流を低減するために、テスト用外部端子に接続した静電気的なノイズが印加した時 I C を保護するための保護トランジスタのゲート電極となるポリシリコン層をドレイン端にオーバーラップさせたレイアウトにし静電耐圧保護トランジスタのブレイクダウン電圧を向上させることを特徴としている。

【選択図】 図 1

特願 2 0 0 3 - 0 1 3 8 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 2 5]

1. 変更年月日

1 9 9 7 年 7 月 2 3 日

[変更理由]

名称変更

住 所

千葉県千葉市美浜区中瀬 1 丁目 8 番地

氏 名

セイコーインスツルメンツ株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.